

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-236634

(43)Date of publication of application : 22.10.1991

(51)Int.Cl.

H04B 1/04

H04L 27/12

(21)Application number : 02-033526

(71)Applicant : ALPS ELECTRIC CO LTD

(22)Date of filing : 13.02.1990

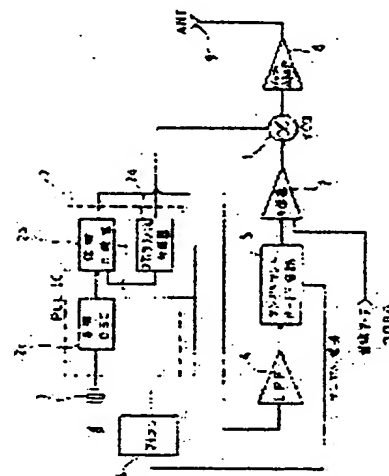
(72)Inventor : SASAKI HIROAKI

(54) FM MODULATION TRANSMITTER

(57)Abstract:

PURPOSE: To obtain a transmitter able to apply FM modulation to a digital signal stably in a short time by providing a path outputting a transmission data to a voltage controlled oscillator after a PLL loop is locked and then the PLL loop is unlocked.

CONSTITUTION: An output from a voltage controlled oscillator (VCO) 1 is frequency-divided by a programmable frequency divider 2a and inputted to a phase comparator 2b. A reference frequency signal is formed by a reference frequency oscillator 2c in a PLL IC and a comparison voltage corresponding to a phase difference between an output from the frequency divider 2a and a reference frequency signal passes through an LPF 4 and a sample-and-hold circuit 5, is added by an adder 7 and inputted to the VCO 1. When the PLL loop is locked, a lock detection signal from the phase comparator 2b is inputted to a microcomputer 6. The microcomputer 6 sends a sample signal to the sample-and-hold circuit 5 and a control voltage when the PLL loop is locked is held. The PLL loop is interrupted just after holding and a transmission data is FM-modulated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998.2000 Japanese Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-236634

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月22日

H 04 B 1/04

6447-5K

H 04 L 27/12

Z

7240-5K

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 FM変調送信機

⑯ 特 願 平2-33526

⑰ 出 願 平2(1990)2月13日

⑱ 発 明 者 佐々木 弘明 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社
内

⑲ 出 願 人 アルプス電気株式会社 東京都大田区雪谷大塚町1番7号

⑳ 代 理 人 弁理士 野崎 照夫

明 細 書

1 発明の名称

FM変調送信機

2 特許請求の範囲

1. 電圧制御発振器と、この発振器からの出力と基準周波数出力との位相差を検出してその差に応じた比較電圧を出力する位相比較器と、この比較電圧を制御電圧として前記電圧制御発振器に入力するフィルタとから成るPLLループが形成されているとともに、前記PLLループがロックされさらにPLLループがカットされた後に、前記電圧制御発振器に送信データ電圧を出力する経路が設けられていることを特徴とするFM変調送信機

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、デジタル信号をFM変調して送信する送信機に係り、特にFM変調を短時間に安定してかけることができるFM変調送信機に関する。

〔従来の技術〕

リモートキーレスエントリなどの送信機では、デジタル信号を変調して送信する必要がある。従来のこの種の送信機では、データをAM変調して送信している。

〔発明が解決しようとする課題〕

しかしながら、送信機の出力周波数をS/N、妨害特性を良好な状態で送信することを考えるとAM変調方式よりも、データをFM変調して送信する方が有利である。また、周波数の安定化、多チャンネルの点からPLL方式の採用が考えられる。しかしながらDC成分をかなり含むデジタル信号を、PLLループがロックされている一般的なPLL方式の状態にてFM変調をかけることはその動作原理上、かなりの制約がある。

本発明は上記従来の課題を解決するものであり、PLL方式のシンセサイザを使用してデジタル信号を短時間に安定してFM変調できる送信機を提供することを目的としている。

〔課題を解決するための手段〕

本発明によるFM変調送信機は、電圧制御発振器と、この発振器からの出力と基準周波数出力との位相差を検出してその差に応じた比較電圧を出力する位相比較器と、この比較電圧を制御電圧として前記電圧制御発振器に入力するフィルタとから成るPLLループが形成されているとともに、前記PLLループがロックされさらにPLLループがカットされた後に、前記電圧制御発振器に送信データ電圧を出力する経路が設けられていることを特徴とするものである。

〔作用〕

上記手段では、電圧制御発振器と位相比較器などからなるPLLループにより、発振出力の周波数ならびに位相が安定したロック状態とし、その後このループをカットして、前記電圧制御発振器に送信データを送り、この送信データの電圧により前記発振器を制御し、FM変調をかけるようにしている。よってデータ送信時間は阻まれるが、電圧制御発振器が安定したときにFM変調がかけられ、前記発振器から安定したFM変調波が出力

されるようになる。

〔実施例〕

以下本発明の実施例を図面によって説明する。

第1図は、本発明によるFM変調送信機を示す回路ブロック図、第2図はその動作をしめすタイムチャートである。

第1図において、符号1は電圧制御発振器(VCO)である。符号2はPLL・ICである。このIC2内には、プログラマブル分周器2a、位相比較器2b、基準周波数発振器2cなどが内蔵されている。符号3はクリスタル発振素子であり、この発振素子の振動数に基づいて基準周波数発振器2cから発振出力が得られる。IC2からの出力(比較電圧)はローパスフィルタ4を経てサンプル・アンド・ホールド回路5に入力される。符号6はマイクロコンピュータであり、このマイクロコンピュータ6からサンプル・アンド・ホールド回路5にサンプル信号が出力される。またマイクロコンピュータ6によって前記IC2も

制御される。符号7は加算器である。デジタル信号による送信データとサンプル・アンド・ホールド回路5からの出力は加算器7により加算され、前記電圧制御発振器1に対し制御電圧として入力する。符号8はFM変調出力を増幅するバッファアンプ、9はアンテナである。

次に上記実施例の動作を説明する。

電圧制御発振器(VCO)1からの出力はプログラマブル分周器2aによって所定の周波数に分周され、位相比較器2bに入力される。PLL・IC2内では、クリスタル発振素子3の発振に基づいて基準周波数発振器2cにより基準周波数信号が形成される。位相比較器2bでは、プログラマブル分周器2aからの出力と前記基準周波数信号とが比較され、その位相差に対応する比較電圧が出力される。この比較電圧は、ロー・パス・フィルタ4により電圧制御発振器1を制御するために必要な成分のみとなり、これがサンプル・アンド・ホールド回路5から加算器7を介して電圧制御発振器1に入力される。電圧制御発振器1で

は前記比較電圧(直流電圧)に応じて周波数が可変される。そして位相比較器2bから出力される比較電圧が所定値(例えば2V)となったときに、上記PLLループがロック状態になる。

上記PLLループがロックされると、PLL・IC2の例えば位相比較器2bからのロック検知出力がマイクロコンピュータ6に入力される。このロック検知出力は、例えば位相比較器2bからの比較電圧が所定値になったことに基づいて出力される。このロック検知出力がマイクロコンピュータ6に出力されると、マイクロコンピュータ6からサンプル・アンド・ホールド回路5にサンプル信号が出力される。このサンプル信号により、PLLループがロックされているときの制御電圧がサンプリングされ、サンプル・アンド・ホールド回路5により、この制御電圧がホールドされる。そしてこのホールド直後にマイクロコンピュータ6からの指令によりPLLループがカットされる。このカットは、例えば位相比較器2bの比較ならびに比較電圧の出力を停止するこ

とにより行なわれる。この状態では、PLLループがカットされているが、サンプル・アンド・ホールド回路5により制御電圧がホールドされているため、電圧制御発振器1からの発振周波数ならびに位相はPLLループのロック時と同様の安定状態となっている。

そして、PLLループがカットされた直後にデジタルの送信データを加算器7に送り、電圧制御発振器1によって送信データをFM変調する。そしてバッファアンプ8により増幅し、アンテナ9より送信する。

また多チャンネルにてFM送信するためには、電圧制御発振器1の発振周波数を切換え、またプログラマブル分周器2aにて所定の分周率にて分周した出力が位相比較2bに入る。

第2図は上記の動作をタイムチャートとして示したものである。

電源がONとなると同時にサンプル・アンド・ホールド回路5が非ホールド状態となる。そして所定チャンネル周波数により電圧制御発振器1が

発振を開始する。PLLループがロックされ、さらにマイクロコンピュータ6からの指令によりPLLループがカットされると同時にサンプル・アンド・ホールド回路5により同調電圧がホールドされる。PLLループのロック時間は例えば5 msec程度である。そしてロックが解除され制御電圧がホールドされた直後の例えば200 μ sec経過後に送信データでFM変調される。

一般にリモートキーレスエントリなどの送信機では、データ量が少ないため、このデータがFM変調される間、電圧制御発振器1からの発振周波数ならびに位相は安定しており、よって安定したFM変調波が得られる。

なお、本発明による送信機は、データ送信時間が長くなければどのような機器であっても実施可能である。

〔効果〕

以上のように本発明によれば、デジタル信号の送信データを安定したFM変調により送信することが可能である。またPLL方式を使用のた

め、多チャンネルによる送信も可能である。

4 図面の簡単な説明

第1図は本発明によるFM変調送信機の回路ブロック図、第2図はその動作を示すタイムチャートである。

1…電圧制御発信機(VCO)、2b…位相比較器、2c…基準周波数信号発振器、5…サンプル・アンド・ホールド回路、7…加算器。

出願人 アルプス電気株式会社

代理人 弁理士 野 崎 照 夫

